



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2000340644 A**(43) Date of publication of application: **08.12.00**

(51) Int. Cl.

H01L 21/76(21) Application number: **11148864**(22) Date of filing: **27.05.99**(71) Applicant: **MITSUBISHI ELECTRIC CORP**(72) Inventor: **SHIMIZU MASAHIRO
FUJISHI YOSHITAKA**(54) **MANUFACTURE OF SEMICONDUCTOR DEVICE**

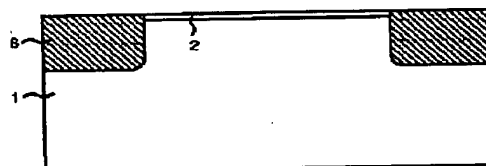
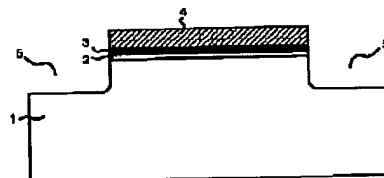
residue of its poly-etching are made possible.

(57) Abstract:

COPYRIGHT: (C)2000,JPO

PROBLEM TO BE SOLVED: To improve the reliability of the gate oxide film of a semiconductor device and its junction leakage current characteristic, by forming successively on its semiconductor substrate a pad insulation film, polysilicon film, and silicon nitride film, and by removing thereafter the polysilicon film through an isotropic wet etching.

SOLUTION: After forming successively on a semiconductor substrate 1 a pad insulation film 2, a polysilicon film 3, and a silicon nitride film 4, these silicon nitride film 4, polysilicon film 3, pad insulation film 2, and semiconductor substrate 1 are etched selectively to form in the semiconductor substrate 1 groove portions 5 for separating element forming portions from each other. Thereafter, the polysilicon film 3 is removed by an isotropic wet etching, and then, silicon oxide films 6 for separating the element forming portions from each other are filled respectively into the groove portions 5. As a result, the improvement of the reliability of the gate oxide film of a semiconductor device, the reduction of its junction leakage current, and the reduction of the



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-340644

(P2000-340644A)

(43) 公開日 平成12年12月8日 (2000.12.8)

(51) Int.Cl.⁷
H01L 21/76

識別記号

F I
H01L 21/76

テーマコード(参考)
L 5F032

審査請求 未請求 請求項の数12 O L (全 13 頁)

(21) 出願番号 特願平11-148864

(22) 出願日 平成11年5月27日 (1999.5.27)

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 清水 雅裕

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(72) 発明者 藤石 義隆

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(74) 代理人 100082175

弁理士 高田 守 (外1名)

Fターム(参考) 5F032 AA35 AA44 AA45 AA77 CA17

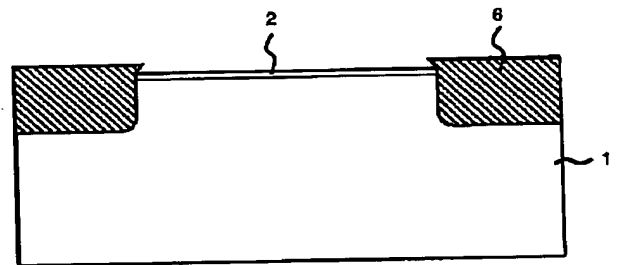
DA02 DA04 DA24 DA26 DA74

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 半導体装置のトレンチ分離形成フローの最適化を行い、半導体特性の向上を図る。

【解決手段】 半導体装置の製造工程において、トレンチ分離酸化膜を形成した後のポリシリコン膜の除去を等方性ウェットエッチングにより行う。あるいは、ゲート電極の形成時に、上部絶縁膜、ポリシリコン膜及びパッド絶縁膜を異方性エッチングによりパターニングした後、ポリシリコンの等方性ウェットエッチングを行う。



【特許請求の範囲】

【請求項1】 半導体基板上にパッド絶縁膜、ポリシリコン膜およびシリコン窒化膜を順次形成する工程と、上記シリコン窒化膜、ポリシリコン膜、パッド絶縁膜及び半導体基板を選択エッチして上記半導体基板に素子形成部を分離する溝部を形成する工程と、上記溝部に上記素子形成部を分離するシリコン酸化膜を充填する工程と、上記素子形成領域における上記シリコン窒化膜、ポリシリコン膜およびパッド絶縁膜を除去し上記半導体基板の表面を露出させる工程と、上記露出した半導体基板の表面に回路素子を形成する工程とを含む半導体装置の製造方法において、上記ポリシリコン膜の除去を等方性ウェットエッチングにより行うことを特徴とする半導体装置の製造方法。

【請求項2】 上記素子形成領域における上記シリコン窒化膜、ポリシリコン膜およびパッド絶縁膜を除去する上記工程より前の工程において、上記半導体基板に対して1050℃以上の熱処理を行うことを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項3】 上記ウェットエッチングにエッチング液として、アンモニア水もしくはアンモニアと過酸化水素水の混合溶液を用いることを特徴とする請求項1又は2に記載の半導体装置の製造方法。

【請求項4】 半導体基板上にパッド絶縁膜、ポリシリコン膜およびシリコン窒化膜を順次形成する工程と、上記シリコン窒化膜、ポリシリコン膜、パッド絶縁膜及び半導体基板を選択エッチして上記半導体基板に素子形成部を分離する溝部を形成する工程と、上記溝部に上記素子形成部を分離するシリコン酸化膜を充填する工程と、上記素子形成領域における上記シリコン窒化膜、ポリシリコン膜およびパッド絶縁膜を除去し上記半導体基板の表面を露出させる工程と、上記露出した半導体基板の表面に回路素子を形成する工程とを含む半導体装置の製造方法において、上記溝部に充填した上記シリコン酸化膜の上にCVD法によりCVD酸化膜を形成した後に上記シリコン酸化膜を熱処理するようにしたことを特徴とする半導体装置の製造方法。

【請求項5】 半導体基板上にパッド絶縁膜、ポリシリコン膜およびシリコン窒化膜を順次形成する工程と、上記シリコン窒化膜、ポリシリコン膜、パッド絶縁膜及び半導体基板を選択エッチして上記半導体基板に素子形成部を分離する溝部を形成する工程と、上記溝部に上記素子形成部を分離するシリコン酸化膜を充填する工程と、上記素子形成領域における上記シリコン窒化膜、ポリシリコン膜およびパッド絶縁膜を除去し上記半導体基板の表面を露出させる工程と、

上記露出した半導体基板の表面に回路素子を形成する工程とを含む半導体装置の製造方法において、上記溝部に充填した上記シリコン酸化膜を酸化処理した後に熱処理を行うことを特徴とする半導体装置の製造方法。

【請求項6】 半導体基板上にパッド絶縁膜、ポリシリコン膜およびシリコン窒化膜を順次形成する工程と、上記シリコン窒化膜、ポリシリコン膜、パッド絶縁膜及び半導体基板を選択エッチして上記半導体基板に素子形成部を分離する溝部を形成する工程と、上記溝部に上記素子形成部を分離するシリコン酸化膜を充填する工程と、上記素子形成領域における上記シリコン窒化膜、ポリシリコン膜およびパッド絶縁膜を除去し上記半導体基板の表面を露出させる工程と、上記露出した半導体基板の表面に回路素子を形成する工程とを含む半導体装置の製造方法において、上記溝部に充填した上記シリコン酸化膜を短時間急速加熱処理した後に、熱処理を行うことを特徴とする半導体装置の製造方法。

【請求項7】 半導体基板上にパッド絶縁膜、ポリシリコン膜およびシリコン窒化膜を順次形成する工程と、上記シリコン窒化膜、ポリシリコン膜、パッド絶縁膜及び半導体基板を選択エッチして上記半導体基板に素子形成部を分離する溝部を形成する工程と、上記溝部に上記素子形成部を分離するシリコン酸化膜を充填する工程と、上記素子形成領域における上記シリコン窒化膜、ポリシリコン膜およびパッド絶縁膜を除去し上記半導体基板の表面を露出させる工程とを含む半導体装置の製造において、上記素子形成領域における上記パッド絶縁膜をフッ酸溶液で除去した後、リン酸系溶液で処理することを特徴とする半導体装置の製造方法。

【請求項8】 半導体基板上にパッド絶縁膜、ポリシリコン膜およびシリコン窒化膜を順次形成する工程と、上記シリコン窒化膜、ポリシリコン膜、パッド絶縁膜及び半導体基板を選択エッチして上記半導体基板に素子形成部を分離する溝部を形成する工程と、上記溝部に上記素子形成部を分離するシリコン酸化膜を充填する工程と、上記素子形成領域における上記シリコン窒化膜、ポリシリコン膜およびパッド絶縁膜を除去し上記半導体基板の表面を露出させる工程とを含む半導体装置の製造において、上記パッド絶縁膜の薄い部分のみを除去して上記半導体基板を露出させた後、窒化膜ウェット処理を行い、続いてパッド絶縁膜の残りを除去することを特徴とする半導体装置の製造方法。

【請求項9】 半導体基板上にパッド絶縁膜、ポリシリ

コン膜およびシリコン窒化膜を順次形成する工程と、
上記シリコン窒化膜、ポリシリコン膜、パッド絶縁膜及び半導体基板を選択エッチして上記半導体基板に素子形成部を分離する溝部を形成する工程と、
上記溝部に上記素子形成部を分離するシリコン酸化膜を充填する工程と、
上記素子形成領域における上記シリコン窒化膜、ポリシリコン膜およびパッド絶縁膜を除去し上記半導体基板の表面を露出させる工程と、
上記露出した半導体基板の表面に回路素子を形成する工程とを含む半導体装置の製造方法において、
上記露出した半導体基板の表面に少なくともパッド絶縁膜、ポリシリコン膜及び上部絶縁膜を形成する工程と、
上記上部絶縁膜、ポリシリコン膜及びパッド絶縁膜をパターンニングしてゲート電極を形成する工程とを含む半導体装置の製造方法において、
上記上部絶縁膜、ポリシリコン膜及びパッド絶縁膜を異方性エッチングによりパターンニングした後、ポリシリコンの等方性ウェットエッチングを行うことを特徴とする半導体装置の製造方法。

【請求項10】 半導体基板上にパッド絶縁膜、ポリシリコン膜およびシリコン窒化膜を順次形成する工程と、
上記シリコン窒化膜、ポリシリコン膜、パッド絶縁膜及び半導体基板を選択エッチして上記半導体基板に素子形成部を分離する溝部を形成する工程と、
上記溝部に上記素子形成部を分離するシリコン酸化膜を充填する工程と、
上記素子形成領域における上記シリコン窒化膜、ポリシリコン膜およびパッド絶縁膜を除去し上記半導体基板の表面を露出させる工程と、
上記露出した半導体基板の表面に回路素子を形成する工程とを含む半導体装置の製造方法において、
上記露出した半導体基板の表面に少なくともパッド絶縁膜、ポリシリコン膜及び上部絶縁膜を形成する工程と、
上記上部絶縁膜、ポリシリコン膜及びパッド絶縁膜をエッチングによりパターンニングしてゲート電極を形成する工程とを含む半導体装置の製造方法において、
上記上部絶縁膜及び上記ポリシリコン膜の上層部を異方性エッチングによりパターンニングし、続いて上記ポリシリコン膜の残りと上記パッド絶縁膜とを等方性ウェットエッチングによりパターンニングすることを特徴とする半導体装置の製造方法。

【請求項11】 半導体基板上にパッド絶縁膜、ポリシリコン膜およびシリコン窒化膜を順次形成する工程と、
上記シリコン窒化膜、ポリシリコン膜、パッド絶縁膜及び半導体基板を選択エッチして上記半導体基板に素子形成部を分離する溝部を形成する工程と、
上記溝部に上記素子形成部を分離するシリコン酸化膜を充填する工程と、
上記素子形成領域における上記シリコン窒化膜及びポリ

シリコン膜およびパッド絶縁膜を除去し上記半導体基板の表面を露出させる工程と、
上記露出した半導体基板の表面に回路素子を形成する工程とを含む半導体装置の製造方法において、
上記ポリシリコン膜の除去に続き上記パッド絶縁膜の除去の前に上記半導体基板に不純物注入を行ってさらに熱処理をすることを特徴とする半導体装置の製造方法。

【請求項12】 半導体基板上に形成された層間絶縁膜の上にストレージノードを形成する工程と、
このストレージノードの表面を粗面化処理する工程とを含む半導体装置の製造において、
上記粗面化処理に続いて上記層間絶縁膜の表面をウェットエッチングすることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、微細化構造を有する半導体装置の製造方法の改善に関するものである。

【従来の技術】 近年、半導体装置は、コンピュータなどの情報機器の目ざましい普及によって、その需要が急速に拡大している。さらに、機能的には大規模な記憶容量を有し、かつ高速動作が可能なものが要求されている。これに伴って、半導体装置の高集積化、高速応答性および高信頼性に関する技術開発が進められている。半導体装置における素子間分離の方法として、トレンチ分離はLOCOS分離と比較していわゆるバズピークが形成されにくいいため、素子の微細化に有効な構造である。トレンチ分離の製造方法について説明する。

【0002】 図17に示すように、p型のシリコン基板1の上に、パッド絶縁膜2（シリコン酸化膜）、ポリシリコン膜3、シリコン窒化膜4のパターンを形成する。図18に示すように、シリコン窒化膜4をマスクとしてシリコン基板1をエッチングしトレンチ5を形成する。なお、シリコン窒化膜／ポリシリコン膜／パッド絶縁膜／シリコン基板をレジストマスクで一度にエッチングしてもよい。

【0003】 図19に示すように、例えばCVD法によりシリコン酸化膜6を堆積しトレンチ5に埋め込んだ後、CMP法等によりシリコン窒化膜4上のシリコン酸化膜6を除去する。この後、フッ酸によりシリコン酸化膜6の一部を除去して段差を低減する。図20に示すように、シリコン窒化膜4をリン酸などで除去する。

【0004】 次に、図20に示すポリシリコン膜3をプラズマエッチング装置で除去し、図21に示すようにパッド絶縁膜2を露出させる。次に、図21に示すパッド絶縁膜2をフッ酸で除去して、図22に示すように、シリコン基板1の表面を露出する。次に図23に示すように、ゲート絶縁膜7形成後、ドーフトポリシリコン膜8、メタルシリサイド膜9、絶縁膜10の積層膜を形成した後、パターンニングを行ってゲート電極を形成する。

その後、イオン注入を行って1対のn型ソース／ドレイン領域11を形成してMOSトランジスタが形成される。

【0005】

【発明が解決しようとする課題】以上の製造過程で、近年の素子の微細化に伴いパッド絶縁膜2の膜厚が薄膜化され、パッド絶縁膜2上のポリシリコン膜3を除去する際のエッチングダメージがシリコン基板1に入りやすくなっている。また、トレンチ埋め込み用シリコン酸化膜6をHDP-CVD法により形成した場合、図24のAに示すようなオーバーハング形状に埋め込まれるため、ポリシリコンエッチングの際に図25に示すようにポリシリコンのエッチング残12が発生しやすい問題がある。

【0006】さらには、図21の状態トランジスタのしきい値電圧用不純物を注入した場合、ポリシリコンエッチのパッド絶縁膜に対する選択比が小さいため、絶縁膜残膜が面内でばらつき、しきい値電圧の均一性が悪くなるという問題がある。これは、特に注入エネルギーが低い時に顕著になる。

【0007】また、トレンチ埋め込み用シリコン酸化膜6を、例えば、HDP-CVD法により形成した場合、図26に示すように熱処理時にHDP-CVD膜からのデガスによってパッド絶縁膜2の膜厚が図19に示すように増加するという問題もある。これは特にウェハ周辺部で顕著であり、しきい値電圧用不純物を注入した場合しきい値電圧のウェハ面内均一性が悪くなるという問題がある。

【0008】前述の熱処理を窒化雰囲気で行うと、シリコン基板が絶縁膜を通して窒化されるという問題もある。これは特に図27の領域Bの分離酸化膜近傍のパッド絶縁膜2の薄い領域がある場合に発生し、パッド絶縁膜を形成し直すと（図21→図22→図21となる工程）、特に顕著である。窒化された領域では、ゲート酸化膜厚が薄くなり、ゲート耐圧が劣化し、ゲート絶縁膜の信頼性に悪影響を及ぼす。

【0009】他に、図28～図31に示すようなトレンチ部分が荒れという問題もある。図28～図31で図の左半部は素子部（あるいは素子形成部）、右半部はマーク部を示す。従来、トレンチ分離の場合段差が低いいため、後工程でアライメントマークが検出できない問題がある。そのため、トレンチ分離形成後マーク部以外をレジスト21で覆った後（図28）、マーク部のみトレンチ部22に埋め込んだシリコン酸化膜6を除去して段差を形成する（図29）。この後、ウェル形成用もしくはトランジスタのしきい値電圧制御用の不純物注入を行う（図30）が、その後の不純物の活性化のための熱処理でシリコン基板が露出した部分、特にトレンチ部分が荒れるという問題がある（図31）。この荒れはアライメント精度の悪化をもたらす。これは、トレンチ分離形成時のエッチングダメージもしくはストレスが関係しているものと思われ、高温の非酸化性雰囲気で行うと特に顕著である。

【0010】この発明は、上述のような従来の課題を解決するためになされたもので、トレンチ分離形成フローにおいて、絶縁膜上のシリコン膜をウェット除去する、もしくは処理／成膜フローを最適化することなどにより、ゲート酸化膜の信頼性および接合リーク特性の向上などを図ろうとするものである。

【0011】

【課題を解決するための手段】この発明の請求項1による半導体装置の製造方法は、半導体基板上にパッド絶縁膜、ポリシリコン膜およびシリコン窒化膜を順次形成する工程と、上記シリコン窒化膜、ポリシリコン膜、パッド絶縁膜及び半導体基板を選択エッチして上記半導体基板に素子形成部を分離する溝部を形成する工程と、上記溝部に上記素子形成部を分離するシリコン酸化膜を充填する工程と、上記素子形成領域における上記シリコン窒化膜、ポリシリコン膜およびパッド絶縁膜を除去し上記半導体基板の表面を露出させる工程と、上記露出した半導体基板の表面に回路素子を形成する工程とを含む半導体装置の製造方法において、上記ポリシリコン膜の除去を等方性ウェットエッチングにより行うことを特徴とするものである。

【0012】また、請求項2による半導体装置の製造方法は、請求項1に記載の製造方法において、上記素子形成領域における上記シリコン窒化膜、ポリシリコン膜およびパッド絶縁膜を除去する上記工程より前の工程において、上記半導体基板に対して1050℃以上の熱処理を行うことを特徴とするものである。

【0013】また、請求項3による半導体装置の製造方法は、請求項1又は2に記載の製造方法において、上記ウェットエッチングにエッチング液として、アンモニア水もしくはアンモニアと過酸化水素水の混合溶液を用いることを特徴とするものである。

【0014】また、請求項4による半導体装置の製造方法は、半導体基板上にパッド絶縁膜、ポリシリコン膜およびシリコン窒化膜を順次形成する工程と、上記シリコン窒化膜、ポリシリコン膜、パッド絶縁膜及び半導体基板を選択エッチして上記半導体基板に素子形成部を分離する溝部を形成する工程と、上記溝部に上記素子形成部を分離するシリコン酸化膜を充填する工程と、上記素子形成領域における上記シリコン窒化膜、ポリシリコン膜およびパッド絶縁膜を除去し上記半導体基板の表面を露出させる工程と、上記露出した半導体基板の表面に回路素子を形成する工程とを含む半導体装置の製造方法において、上記溝部に充填した上記シリコン酸化膜の上にCVD法により酸化膜を形成した後に上記シリコン酸化膜を熱処理するようにしたことを特徴とするものである。

【0015】また、請求項5による半導体装置の製造方法は、半導体基板上にパッド絶縁膜、ポリシリコン膜およびシリコン窒化膜を順次形成する工程と、上記シリコン窒化膜、ポリシリコン膜、パッド絶縁膜及び半導体基

板を選択エッチして上記半導体基板に素子形成部を分離する溝部を形成する工程と、上記溝部に上記素子形成部を分離するシリコン酸化膜を充填する工程と、上記素子形成領域における上記シリコン窒化膜、ポリシリコン膜およびパッド絶縁膜を除去し上記半導体基板の表面を露出させる工程と、上記露出した半導体基板の表面に回路素子を形成する工程とを含む半導体装置の製造方法において、上記溝部に充填した上記シリコン酸化膜を酸化処理した後に熱処理を行うことを特徴とするものである。

【0016】また、請求項6による半導体装置の製造方法は、半導体基板上にパッド絶縁膜、ポリシリコン膜およびシリコン窒化膜を順次形成する工程と、上記シリコン窒化膜、ポリシリコン膜、パッド絶縁膜及び半導体基板を選択エッチして上記半導体基板に素子形成部を分離する溝部を形成する工程と、上記溝部に上記素子形成部を分離するシリコン酸化膜を充填する工程と、上記素子形成領域における上記シリコン窒化膜、ポリシリコン膜およびパッド絶縁膜を除去し上記半導体基板の表面を露出させる工程と、上記露出した半導体基板の表面に回路素子を形成する工程とを含む半導体装置の製造方法において、上記溝部に充填した上記シリコン酸化膜を短時間急速加熱処理した後に、熱処理を行うことを特徴とするものである。

【0017】また、請求項7による半導体装置の製造方法は、半導体基板上にパッド絶縁膜、ポリシリコン膜およびシリコン窒化膜を順次形成する工程と、上記シリコン窒化膜、ポリシリコン膜、パッド絶縁膜及び半導体基板を選択エッチして上記半導体基板に素子形成部を分離する溝部を形成する工程と、上記溝部に上記素子形成部を分離するシリコン酸化膜を充填する工程と、上記素子形成領域における上記シリコン窒化膜、ポリシリコン膜およびパッド絶縁膜を除去し上記半導体基板の表面を露出させる工程とを含む半導体装置の製造において、上記素子形成領域における上記パッド絶縁膜をフッ酸溶液で除去した後、リン酸系溶液で処理することを特徴とするものである。

【0018】また、請求項8による半導体装置の製造方法は、半導体基板上にパッド絶縁膜、ポリシリコン膜およびシリコン窒化膜を順次形成する工程と、上記シリコン窒化膜、ポリシリコン膜、パッド絶縁膜及び半導体基板を選択エッチして上記半導体基板に素子形成部を分離する溝部を形成する工程と、上記溝部に上記素子形成部を分離するシリコン酸化膜を充填する工程と、上記素子形成領域における上記シリコン窒化膜、ポリシリコン膜およびパッド絶縁膜を除去し上記半導体基板の表面を露出させる工程とを含む半導体装置の製造において、上記パッド絶縁膜の薄い部分のみを除去して上記半導体基板を露出させた後、窒化膜ウェット処理を行い、続いてパッド絶縁膜の残りを除去することを特徴とするものである。

【0019】また、請求項9による半導体装置の製造方法は、半導体基板上にパッド絶縁膜、ポリシリコン膜およびシリコン窒化膜を順次形成する工程と、上記シリコン窒化膜、ポリシリコン膜、パッド絶縁膜及び半導体基板を選択エッチして上記半導体基板に素子形成部を分離する溝部を形成する工程と、上記溝部に上記素子形成部を分離するシリコン酸化膜を充填する工程と、上記素子形成領域における上記シリコン窒化膜、ポリシリコン膜およびパッド絶縁膜を除去し上記半導体基板の表面を露出させる工程と、上記露出した半導体基板の表面に回路素子を形成する工程とを含む半導体装置の製造方法において、上記露出した半導体基板の表面に少なくともパッド絶縁膜、ポリシリコン膜及び上部絶縁膜を形成する工程と、上記上部絶縁膜、ポリシリコン膜及びパッド絶縁膜をパターニングしてゲート電極を形成する工程とを含む半導体装置の製造方法において、上記上部絶縁膜、ポリシリコン膜及びパッド絶縁膜を異方性エッチングによりパターニングした後、ポリシリコンの等方性ウェットエッチングを行うことを特徴とするものである。

【0020】また、請求項10による半導体装置の製造方法は、半導体基板上にパッド絶縁膜、ポリシリコン膜およびシリコン窒化膜を順次形成する工程と、上記シリコン窒化膜、ポリシリコン膜、パッド絶縁膜及び半導体基板を選択エッチして上記半導体基板に素子形成部を分離する溝部を形成する工程と、上記溝部に上記素子形成部を分離するシリコン酸化膜を充填する工程と、上記素子形成領域における上記シリコン窒化膜、ポリシリコン膜およびパッド絶縁膜を除去し上記半導体基板の表面を露出させる工程と、上記露出した半導体基板の表面に回路素子を形成する工程とを含む半導体装置の製造方法において、上記露出した半導体基板の表面に少なくともパッド絶縁膜、ポリシリコン膜及び上部絶縁膜を形成する工程と、上記上部絶縁膜、ポリシリコン膜及びパッド絶縁膜をエッチングによりパターニングしてゲート電極を形成する工程とを含む半導体装置の製造方法において、上記上部絶縁膜及び上記ポリシリコン膜の上層部を異方性エッチングによりパターニングし、続いて上記ポリシリコン膜の残りと上記パッド絶縁膜とを等方性ウェットエッチングによりパターニングすることを特徴とするものである。

【0021】また、請求項11による半導体装置の製造方法は、半導体基板上にパッド絶縁膜、ポリシリコン膜およびシリコン窒化膜を順次形成する工程と、上記シリコン窒化膜、ポリシリコン膜、パッド絶縁膜及び半導体基板を選択エッチして上記半導体基板に素子形成部を分離する溝部を形成する工程と、上記溝部に上記素子形成部を分離するシリコン酸化膜を充填する工程と、上記素子形成領域における上記シリコン窒化膜及びポリシリコン膜およびパッド絶縁膜を除去し上記半導体基板の表面を露出させる工程と、上記露出した半導体基板の表面に

回路素子を形成する工程とを含む半導体装置の製造方法において、上記ポリシリコン膜の除去に続き上記パッド絶縁膜の除去の前に上記半導体基板に不純物注入を行ってさらに熱処理をすることを特徴とするものである。

【0022】また、請求項12による半導体装置の製造方法は、半導体基板上に形成された層間絶縁膜の上にストレージノードを形成する工程と、このストレージノードの表面を粗面化処理する工程とを含む半導体装置の製造において、上記粗面化処理に続いて上記層間絶縁膜の表面をウェットエッチングすることを特徴とするものである。

【0023】

【発明の実施の形態】以下、この発明の実施の形態について図面を参照して説明する。なお、図中、同一または相当部分には、同一の符号を付してその説明を簡略化または省略する。

実施の形態1. この発明の実施の形態1について図17～図23を援用して説明する。この実施の形態は、従来のトレンチ分離形成フローの改善にかかるものである。この実施の形態のトレンチ分離の製造方法は、先ず従来例として説明した図17～図20までの工程を行う。

【0024】図20から図21に移る工程では、従来はポリシリコン膜3をプラズマエッチしていた。これに対してこの実施の形態では、ポリシリコン膜3をウェットエッチで除去する。ポリシリコン膜3をウェットエッチで除去するとシリコン基板にダメージが入らないようになる。そのため、この面に形成するゲート絶縁膜の信頼性およびソース／ドレイン領域の接合リーク電流が減少する効果がある。

【0025】また、図20の段階において、トレンチ分離形状が図24のA部に示すように、トレンチ酸化膜がオーバハング形状に埋め込まれる形状となる場合がある。このようなトレンチ分離形状となった場合でも、ポリシリコン膜3をウェットエッチで除去すると、等方性エッチのため図1に示すようにポリシリコン膜3のエッチング残が残らず、ゲート配線間ショート低減、残渣ポリ剥がれによる欠陥の低減などの効果がある。なお、図22以降の工程は、従来と同様であってよいので、その説明は省略する。

【0026】ウェットエッチ液としてアンモニア水もしくはアンモニア水と過酸化水素水の混合液を用いることにより絶縁膜に対して高い選択比が得られるため、パッド絶縁膜残膜厚の均一性が向上する。このため、例えば、図30に示すようにパッド絶縁膜2越しにしきい値電圧制御用不純物を注入すると、しきい値電圧のウェハ面内均一性が向上する。なお、トレンチ分離の場合について述べたが、ポリバッファLOCOS分離に用いても同等の効果がある。

【0027】以上説明したように、この実施の形態では、トレンチ形成後、基板のパッド絶縁膜上のポリシリ

コン膜をウェット除去する。これにより、ゲート酸化膜の信頼性向上、接合リーク電流の低減、ポリエッチング残の低減、しきい値電圧の均一性向上等を図ることができる。

【0028】実施の形態2. この発明の実施の形態3について図17～図23を援用して説明する。この実施の形態は、従来のトレンチ分離形成フローの改善にかかるものである。この実施の形態のトレンチ分離の製造方法は、先ず従来例として説明した図17～図20までの工程を行う。

【0029】この工程のうち、図18の段階でトレンチエッチ後にシリコン基板のエッチングダメージを除去するために酸化処理を行ったり、図19以降の段階でトレンチ埋め込み用CVD酸化膜6を埋め込んだ後熱処理を行ってCVD酸化膜のウェットエッチレート等を安定化させたりする場合がある。熱処理条件によっては（例えば1000℃以下の低温熱処理）、ポリシリコン膜3中にストレスが発生し、図2に示すように、ポリシリコン膜3中に欠損13が発生する場合がある。この時、従来のようにドライエッチでポリシリコンを除去するとパッド絶縁膜2との選択比が小さいため、図3に示すように、ポリシリコン膜3中に欠損13がある部分で、シリコン基板1が符号14に示すようにエッチングされてしまう恐れがある。

【0030】このような状態となることを避けるため、実施の形態1で説明したようにウェットエッチでポリシリコン膜3を除去する場合は、ポリシリコン膜とパッド絶縁膜との選択比が大きいため、ポリシリコン膜3中に欠損13があってもシリコン基板1をエッチングすることはない。ただし、ポリシリコンエッチ前にポリシリコン膜3上の自然酸化膜を除去するためにフッ酸溶液処理を行うと、パッド絶縁膜3がエッチングされ、ドライエッチ／ウェットエッチともにシリコン基板1がエッチングされてしまう恐れがあるのでそのような事態は回避するようにする。

【0031】上記のように、従来はトレンチ酸化膜6の熱処理を通常1000℃以下の温度で行っていた。これに対してこの実施の形態では、トレンチ酸化膜6の熱処理を1050℃以上の温度で行う。熱処理を1050℃以上の温度で行うと、ストレス起因のポリシリコン膜中欠損が入りにくい効果があり、ポリシリコン膜3にストレスが入りにくくなる。この後、図20の工程において、実施の形態1で説明したようにウェット処理でポリシリコンを除去する。トレンチ酸化膜の熱処理を1050℃以上の温度で行い、その後にポリシリコン膜3をウェット処理で除去することによりさらにマージンが広がる。なお、図21以降の工程は、従来と同様であってよいから説明を省略する。

【0032】以上説明したように、この実施の形態では、1050℃以上で熱処理を行ってにおいて、半導体基板の

パッド絶縁膜上のポリシリコン膜をウェット除去する。これにより、後に形成されるゲート酸化膜の信頼性向上などを図ることができる。

【0033】実施の形態3. この発明の実施の形態5について図17～図23を援用して説明する。この実施の形態は、従来のトレンチ分離形成フローの改善にかかるものである。この実施の形態のトレンチ分離の製造方法は、先ず従来例として説明した図17～図20までの工程を行う。

【0034】このうち、図19の工程において、トレンチ埋め込み用シリコン酸化膜6を、例えば、HDP-CVD法により形成した場合、図26に示すように熱処理時にトレンチ酸化膜6 (HDP-CVD膜) からのデガスによって符号19に示すように、パッド絶縁膜2の膜厚が増加するという問題がある。

【0035】この実施の形態では、トレンチ酸化膜6 (TEOS酸化膜あるいはHDP-CVD膜) のアニールの際のデガス対策として、図4に示すように、シラン系もしくはジクロルシラン系ガスによるCVD法で形成したCVD酸化膜20をデポする。このように形成した酸化膜は、膜の緻密性、吸湿性などがTEOS酸化膜と異なるため、トレンチ酸化膜6からのデガスを抑制することが可能である。従って、トレンチ酸化膜6のアニールの際にパッド酸化膜2が厚くなることはない。

【0036】トレンチ酸化膜6のアニール時のデガス防止対策としては、この他に、酸化雰囲気での熱処理によりトレンチ酸化膜6 (TEOS酸化膜) の表面層改質を行った後、さらにトレンチ酸化膜6のアニールを行うようにしても、デガス対策として有効である。

【0037】また、例えば枚葉熱処理装置におけるRTA処理 (Rapid Thermal Annealing) によって、トレンチ酸化膜6に対して短時間の急速加熱処理をした後、例えばチューブ型熱処理装置によってトレンチ酸化膜6をアニールするようにしても、デガス対策として有効である。

【0038】以上説明したように、この実施の形態では、トレンチ酸化膜 (TEOS酸化膜) のアニール前にカバー膜をデポする。あるいは、トレンチ酸化膜の酸化処理を行った後に熱処理を行う。あるいは又、枚葉熱処理装置でRTA処理を行った後チューブ型熱処理装置で処理を行う。これにより、TEOS膜のデガス抑制を図ることができる。

【0039】実施の形態4. この発明の実施の形態6について図17～図23を援用して説明する。この実施の形態は、従来のトレンチ分離形成フローの改善にかかるものである。この実施の形態のトレンチ分離の製造方法は、先ず従来例として説明した図17～図21までの工程を行う。

【0040】このうち、図21に至るまでの工程で、例えばトレンチ酸化膜6などの熱処理を窒化雰囲気で行う

と、シリコン基板1がパッド絶縁膜2を通して窒化される場合がある。これは特に図27の領域Bとして示すように分離酸化膜6近傍のパッド絶縁膜2の薄い領域がある場合に発生しやすい。半導体基板1が窒化された領域では、後に形成するゲート酸化膜厚が薄くなり、ゲート耐圧が劣化し、ゲート絶縁膜の信頼性に悪影響を及ぼす可能性がある。

【0041】分離酸化膜6近傍のパッド絶縁膜2の膜厚が、例えば図27に示すように、薄くなった領域で半導体基板1の表面が窒化した場合、この実施の形態では、図21の工程において、パッド絶縁膜2をフッ酸溶液で除去した後、リン酸系の溶液で処理することにより窒化層を除去し、図22に示すように半導体基板1の表面を露出させる。この後、図23に示すようにMOSトランジスタを形成する。窒化層を除去したことによりゲート絶縁膜7の信頼性が向上する。

【0042】以上説明したように、この実施の形態では、ゲート絶縁膜形成前に、シリコン基板をリン酸系溶液でウェットエッチし窒化膜を除去する。これにより、ゲート酸化膜の信頼性向上を図ることができる。

【0043】実施の形態5. この発明の実施の形態7について図17～図23を援用して説明する。この実施の形態は、従来のトレンチ分離形成フローの改善にかかるものである。この実施の形態のトレンチ分離の製造方法は、先ず従来例として説明した図17～図21までの工程を行う。

【0044】実施の形態6ではシリコン基板1が露出した時点でリン酸系の溶液で処理しているが、窒化していない領域はリン酸処理によりシリコン基板が荒れる恐れがある (荒れに対してマージンが少ない)。シリコン基板荒れはゲート酸化膜の信頼性を劣化させる可能性がある。そのため、この実施の形態では、図21の工程において、図27に示すように薄くなった部分のパッド絶縁膜2のみを、図5に示すように除去した後、リン酸処理を行って窒化層を除去し、その後に残りのパッド絶縁膜2を除去し、図22に示すように、半導体基板1の表面を露出させるようにする。このような方法によれば、窒化されていないシリコン基板はリン酸に曝されることがないため、荒れに対してマージンが広がり、ゲート絶縁膜の信頼性が向上する。

【0045】以上説明したように、この実施の形態では、ゲート絶縁膜形成前に、薄くなったパッド酸化膜の領域のみ露出した後、窒化膜ウェット処理で除去し、続いて残りのパッド酸化膜をエッチする。これにより、ゲート酸化膜の信頼性向上を図ることができる。

【0046】実施の形態6. この発明の実施の形態6について図17～図23を援用して説明する。この実施の形態は、従来のトレンチ分離形成フローの改善にかかるものである。この実施の形態のトレンチ分離の製造方法は、先ず従来例として説明した図17～図21までの工

程を行う。

【0047】図21の工程において、図6に示すように、トレンチ分離とシリコン基板表面に段差が生じる場合がある。このような場合、ゲート電極パターン形成時に、図7に示すように、トレンチ分離エッジにドーフトポリシリコン膜8の残渣15が残るといった問題が生じる場合がある。そこで、この実施の形態では、ゲート電極の異方性エッチをした後、等方性のポリシリコンウェットエッチを行うことにより、図8に示すように、トレンチ分離エッジのポリシリコン残を除去するようにする。なお、このとき、ゲート電極エッチでゲート絶縁膜7をエッチングして下地シリコン基板1が露出しないようにすることが必要である。

【0048】また、図9に示すようにゲート電極のドーフトポリシリコン膜8の途中まで異方性エッチを行った後、ポリシリコンウェットエッチを行っても、トレンチ分離エッジの段差でのエッチング残渣は発生しない。すなわち、ゲート電極の異方性エッチを途中で止めた後、残りのゲート電極の等方性ウェットエッチを行うものである。この後の工程は、従来のものと同様でいいので、詳細な説明は省略する。

【0049】以上説明したように、この実施の形態では、ゲート電極の異方性エッチをした後、等方性ウェットエッチを行う。あるいは、ゲート電極異方性エッチを途中で止めた後、残りのゲート電極の等方性ウェットエッチを行う。これにより、ポリエッチング残の低減を図ることができる。

【0050】実施の形態7. この発明の実施の形態8について図17～図23を援用して説明する。この実施の形態は、従来のトレンチ分離形成フローの改善にかかるものである。この実施の形態のトレンチ分離の製造方法は、先ず従来例として説明した図17～図21までの工程を行う。

【0051】図21の工程において、トレンチ分離の場合段差が低い場合、後工程でアライメントマークが検出できないという問題を生じる可能性がある。そのため、従来では、図28に示すように、トレンチ分離形成後マーク部以外をレジスト21で覆った後、図29に示すように、マーク部においてのみトレンチ部22に埋め込んだシリコン酸化膜6を除去して段差を形成する。この後、図30に示すように、ウェル形成用もしくはトランジスタのしきい値電圧制御用の不純物注入を行うが、図31に示すように、その後の不純物の活性化のための熱処理でシリコン基板1が露出した部分、特にトレンチ部分が荒れるという問題がある。この荒れはアライメント精度の悪化をもたらす。

【0052】これに対して、この実施の形態では、トレンチ分離マーク部の基板荒れ対策として、図10～図13に示す次のようなプロセスフローを実施する。なお、図10～図13において、図の左半部は素子部（あるい

は素子形成部）、右半部はマーク部を示す。先ず、図10を参照して、マーク部を含めてしきい値電圧制御用またはウェル形成用イオン注入を行う。活性化のための熱処理を行ってもシリコン基板1表面が絶縁膜2で覆われているため、シリコン基板が荒れることはない。したがって、アライメント精度が向上する。

【0053】次に、図11に示すように、素子部をレジスト21で覆う。次に、図12を参照して、マーク部のトレンチ絶縁膜6を除去して段差を形成する。次に、図13を参照して、ゲート絶縁膜、ゲート電極、ソース／ドレイン領域を形成してトランジスタとする。以上は、トレンチ分離を用いた場合について述べたが、LOCOS分離法により形成した場合でも、マーク部の分離酸化膜を除去する場合は効果がある。

【0054】以上説明したように、この実施の形態では、素子部およびマーク部とも、パッド絶縁膜の上から不純物注入してアニールをする。これにより、アライメント精度の向上を図ることができる。

【0055】実施の形態8. この発明の実施の形態8について図10～図13を参照して説明する。この実施の形態は、シリコン絶縁膜のウェットエッチをストレージノードの粗面キャパシタの形成に適用するものである。図14は粗面化プロセスをキャパシタに適用したDRAMの断面構造図である。この構造にポリシリコンウェットエッチを適用した場合について述べる。

【0056】粗面キャパシタは図15に示すようにストレージノード16形成後シリコン粒17をウェハ全面に形成した後、図16に示すように層間絶縁膜18上のシリコン粒17を除去することにより成形する。このシリコン粒17の除去をウェットエッチ液、特にアンモニア水で行うとエッチングレートに面方位性があるため粗面の粒が大きくなり、キャパシタ容量が増大する効果がある。

【0057】また、層間絶縁膜18上のシリコン粒17の除去をドライエッチで行った場合でも、層間絶縁膜18上のシリコン粒残渣を取るためにポリシリコンウェットエッチを行っても効果がある。さらには、選択的にストレージノード16上を粗面化して図16のような構造を形成した場合でも、層間絶縁膜上に僅かにシリコン粒が形成される場合があるため、それを除去するためと、粗面の粒を大きくするためにシリコンウェットエッチを行ってもよい。

【0058】以上説明したように、この実施の形態では、ストレージノードの粗面化後にシリコン層間絶縁膜をウェットエッチをする。これにより、キャパシタ容量の増大、粗面ポリ残さ除去の向上を図ることができる。なお、以上に各実施の形態について説明した。これらの実施の形態は、必要に応じ、あるいは、適宜に選択して、組み合わせることもできる。

【0059】

【発明の効果】この発明は以上のように構成されており、次のような効果を奏する。請求項1～3に記載の半導体装置の製造方法によれば、トレンチ形成後、基板のパッド絶縁膜上のポリシリコン膜をウェット除去する。これにより、ゲート酸化膜の信頼性向上、接合リーク電流の低減などを図ることができる。

【0060】請求項4～6に記載の半導体装置の製造方法によれば、トレンチ酸化膜（TEOS酸化膜）のアニール前にカバー膜をデポする。あるいは、トレンチ酸化膜の酸化処理を行った後に熱処理を行う。あるいは又、枚葉熱処理装置でRTA処理を行った後チューブ型熱処理装置で処理を行う。これにより、TEOS膜のデガス抑制を図り、ゲート酸化膜の信頼性向上などを図ることができる。

【0061】請求項7に記載の半導体装置の製造方法によれば、ゲート絶縁膜形成前に、シリコン基板をリン酸系溶液でウェットエッチし窒化膜を除去する。これにより、ゲート酸化膜の信頼性向上を図ることができる。

【0062】請求項8に記載の半導体装置の製造方法によれば、ゲート絶縁膜形成前に、薄くなったパッド酸化膜の領域のみ露出した後、窒化膜ウェット処理で除去し、続いて残りのパッド酸化膜をエッチする。これにより、ゲート酸化膜の信頼性向上を図ることができる。

【0063】請求項9～10に記載の半導体装置の製造方法によれば、ゲート電極の異方性エッチをした後、等方性ウェットエッチを行う。あるいは、ゲート電極異方性エッチを途中で止めた後、残りのゲート電極の等方性ウェットエッチを行う。これにより、ポリエッチング残の低減を図り、ゲート酸化膜の信頼性向上などを図ることができる。

【0064】請求項11に記載の半導体装置の製造方法によれば、素子部およびマーク部とも、パッド絶縁膜の上から不純物注入してアニールをする。これにより、アラインメント精度の向上を図ることができる。

【0065】請求項12に記載の半導体装置の製造方法によれば、ストレージノードの粗面化後にシリコン層間絶縁膜をウェットエッチをする。これにより、キャパシタ容量の増大、粗面ポリ残さ除去の向上を図ることができる。

【図面の簡単な説明】

【図1】 この発明の実施の形態1の半導体装置の製造方法を説明するための図。

【図2】 この発明の実施の形態2の半導体装置の製造方法を説明するための図。

【図3】 この発明の実施の形態2の半導体装置の製造方法を説明するための図。

【図4】 この発明の実施の形態3の半導体装置の製造方法を説明するための図。

【図5】 この発明の実施の形態5の半導体装置の製造方法を説明するための図。

【図6】 この発明の実施の形態6の半導体装置の製造方法を説明するための図。

【図7】 この発明の実施の形態6の半導体装置の製造方法を説明するための図。

【図8】 この発明の実施の形態6の半導体装置の製造方法を説明するための図。

【図9】 この発明の実施の形態6の半導体装置の製造方法を説明するための図。

【図10】 この発明の実施の形態7の半導体装置の製造方法を説明するための図。

【図11】 この発明の実施の形態7の半導体装置の製造方法を説明するための図。

【図12】 この発明の実施の形態7の半導体装置の製造方法を説明するための図。

【図13】 この発明の実施の形態7の半導体装置の製造方法を説明するための図。

【図14】 この発明の実施の形態8の半導体装置の製造方法を説明するための図。

【図15】 この発明の実施の形態8半導体装置の製造方法を説明するための図。

【図16】 この発明の実施の形態8の半導体装置の製造方法を説明するための図。

【図17】 従来の半導体装置の製造方法を説明するための図。

【図18】 従来の半導体装置の製造方法を説明するための図。

【図19】 従来の半導体装置の製造方法を説明するための図。

【図20】 従来の半導体装置の製造方法を説明するための図。

【図21】 従来の半導体装置の製造方法を説明するための図。

【図22】 従来の半導体装置の製造方法を説明するための図。

【図23】 従来の半導体装置の製造方法を説明するための図。

【図24】 従来の半導体装置の製造方法を説明するための図。

【図25】 従来の半導体装置の製造方法を説明するための図。

【図26】 従来の半導体装置の製造方法を説明するための図。

【図27】 従来の半導体装置の製造方法を説明するための図。

【図28】 従来の半導体装置の製造方法を説明するための図。

【図29】 従来の半導体装置の製造方法を説明するための図。

【図30】 従来の半導体装置の製造方法を説明するための図。

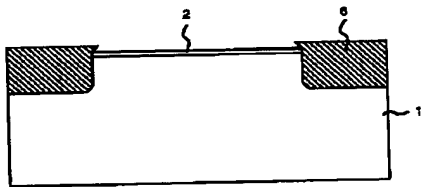
【図31】 従来の半導体装置の製造方法を説明するための図。

【符号の説明】

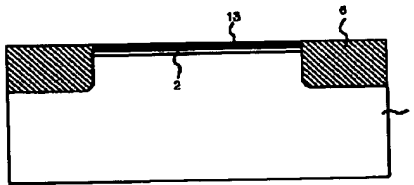
1 半導体基板、 2 パッド絶縁膜、 3 ポリシリ

コン膜、 4 シリコン窒化膜、 5 溝部（トレンチ）、 6 トレンチ酸化膜（シリコン酸化膜）、 16 ストレージノード、 20 CVD酸化膜。

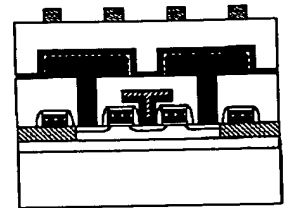
【図1】



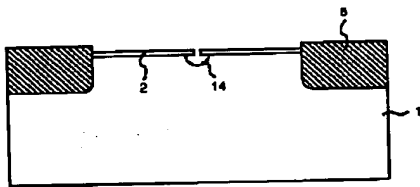
【図2】



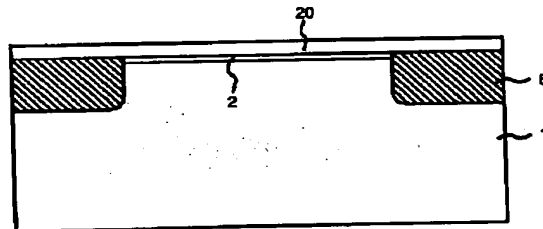
【図14】



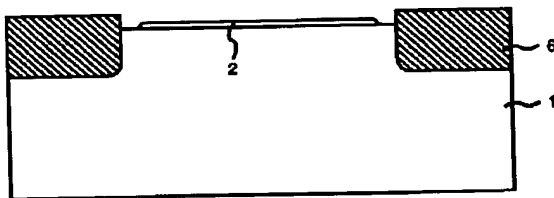
【図3】



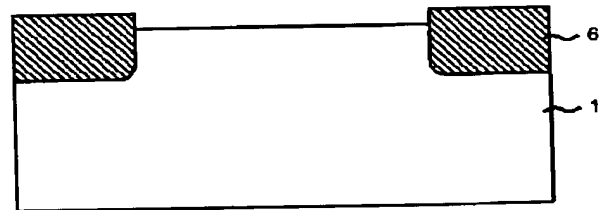
【図4】



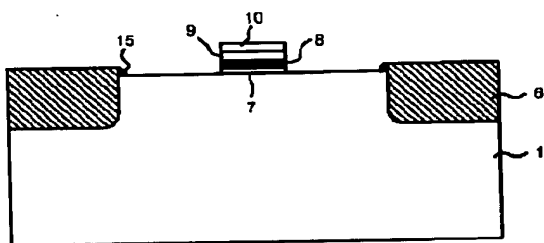
【図5】



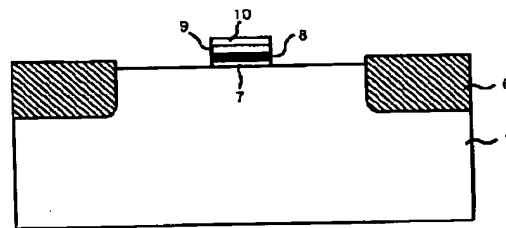
【図6】



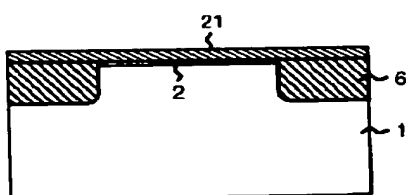
【図7】



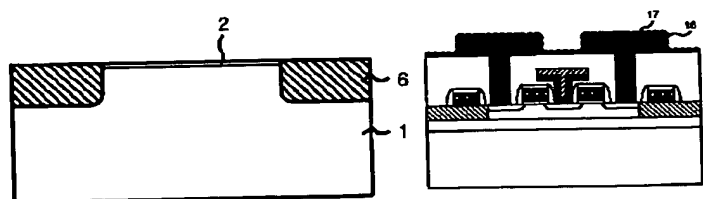
【図8】



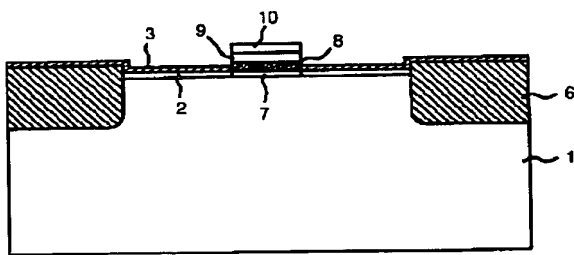
【図11】



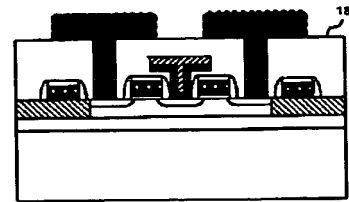
【図15】



【図9】

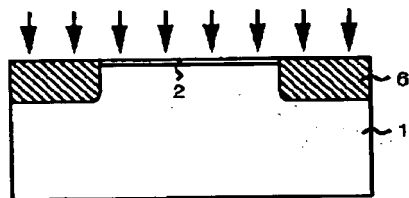


【図16】

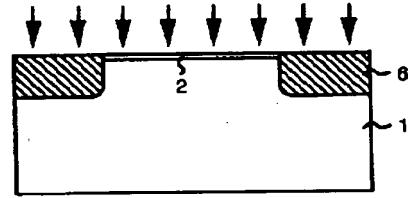


【図10】

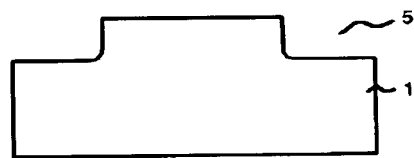
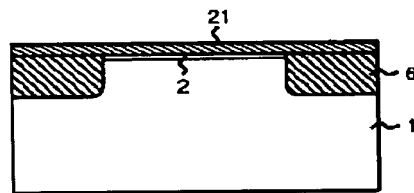
素子部



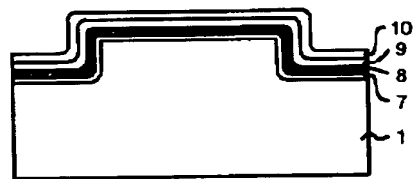
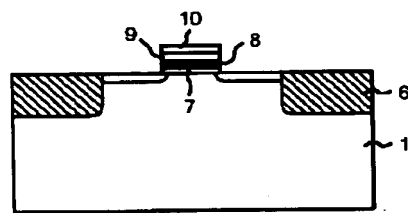
マーク部



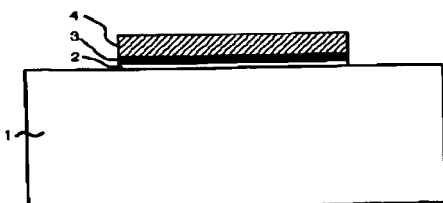
【図12】



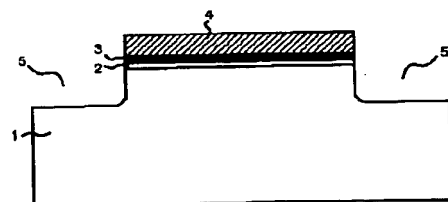
【図13】



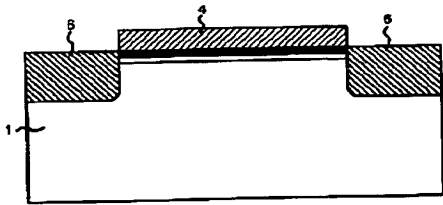
【図17】



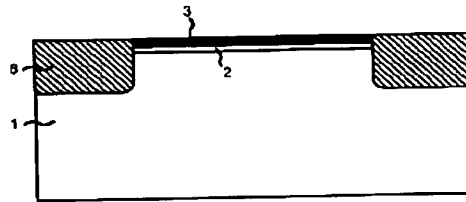
【図18】



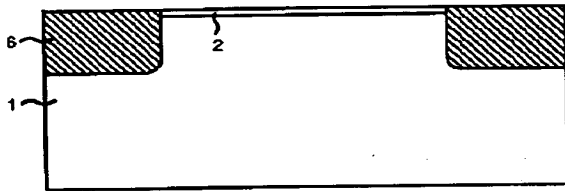
【図19】



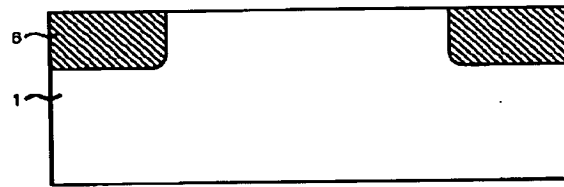
【図20】



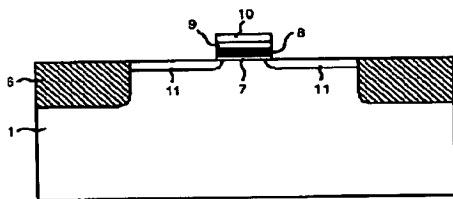
【図21】



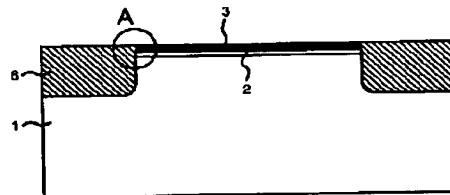
【図22】



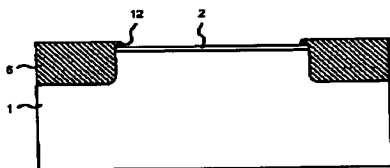
【図23】



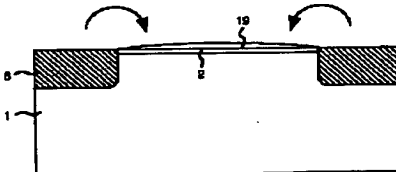
【図24】



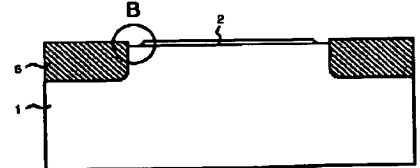
【図25】



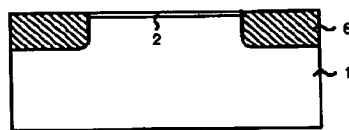
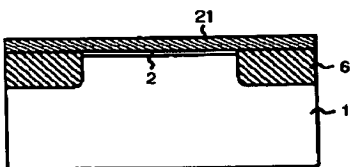
【図26】



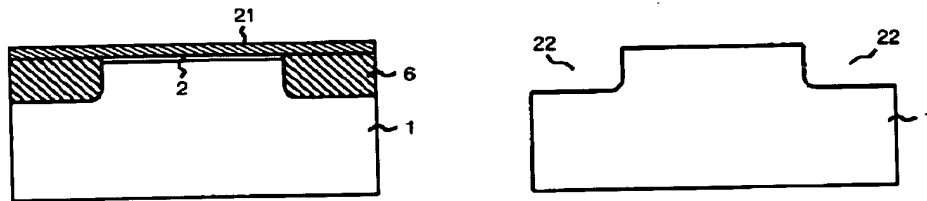
【図27】



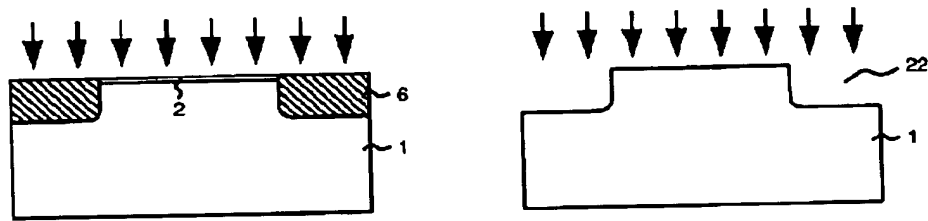
【図28】



【図29】



【図30】



【図31】

